

64830 U.S. PTO
08/862298
05/22/97

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: December 13, 1996

Application Number: Japanese Patent Application
No. 8-334273

Applicant(s): FUJITSU LIMITED

March 7, 1997

Commissioner,
Patent Office

Hisamitsu Arai (Seal)

Certificate No.09-3012640

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 6 年 1 2 月 1 3 日

出 願 番 号

Application Number:

平成 8 年特許願第 3 3 4 2 7 3 号

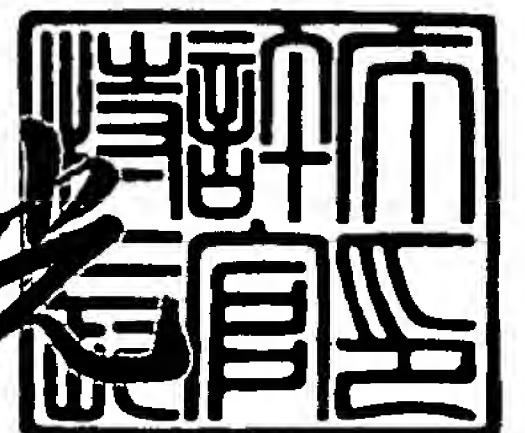
出 願 人
Applicant (s):

富士通株式会社

1 9 9 7 年 3 月 7 日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



【書類名】 特許願

【整理番号】 9606958

【提出日】 平成 8年12月13日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H01L 27/00
G06F 12/14

【発明の名称】 半導体装置

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 篠崎 直治

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

 【代表者】 関澤 義

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特平 8-334273

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 N個の動作モードのうちの一つを入力信号により選択して、選択された動作モードで動作する半導体装置であって、

該入力信号が該N個の動作モードの一つを示す場合に該一つを選択し、該入力信号が該N個の動作モード以外を示す未定義入力信号である場合に該N個の動作モードのうちの所定の一つを選択する選択回路と、

該選択回路が選択した動作モードに応じて動作する内部回路を含むことを特徴とする半導体装置。

【請求項2】 前記選択回路は、

前記入力信号をデコードして前記N個の動作モードのうちのN-1個の動作モードから一つを選択する第1の回路と、

該第1の回路の出力の論理演算に基づいて、該N-1個の動作モードの何れもが選択されないときに、該N個の動作モードのうちの残りの1個の動作モードを選択する第2の回路

を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記選択回路は前記第1の回路と前記第2の回路との間を接続するN-1本の配線を更に含み、該第2の回路を前記内部回路の近傍或いは内部に配置することを特徴とする請求項1記載の半導体装置。

【請求項4】 前記選択回路は、

前記未定義入力信号を検出する第3の回路と、

該第3の回路の出力に応じて、前記入力信号が該未定義信号でない場合に該入力信号を格納し、前記入力信号が該未定義信号である場合に既に格納されている内容を保持する第4の回路と、

該第4の回路の内容をデコードして、前記N個の動作モードのうちの一つを選択する第5の回路

を含むことを特徴とする請求項1記載の半導体装置。

【請求項5】 N個の動作モードのうちの一つを入力信号により選択して、選

択された動作モードで動作する半導体記憶装置であって、

該入力信号が該N個の動作モードの一つを示す場合に該一つを選択し、該入力信号が該N個の動作モード以外を示す未定義入力信号である場合に該N個の動作モードのうちの所定の一つを選択するモードレジスタと、

データを記憶するコア回路と、

該選択回路が選択した動作モードに応じて動作する該コア回路に関する制御回路

を含むことを特徴とする半導体記憶装置。

【請求項6】前記モードレジスタは、

前記入力信号をデコードして前記N個の動作モードのうちのN－1個の動作モードから一つを選択する第1の回路と、

該第1の回路の出力の論理演算に基づいて、該N－1個の動作モードの何れもが選択されないときに、該N個の動作モードのうちの残りの1個の動作モードを選択する第2の回路

を含むことを特徴とする請求項5記載の半導体記憶装置。

【請求項7】前記モードレジスタは前記第1の回路と前記第2の回路との間を接続するN－1本の配線を更に含み、該第2の回路を前記制御回路の近傍或いは内部に配置することを特徴とする請求項6記載の半導体記憶装置。

【請求項8】前記モードレジスタは、

前記未定義入力信号を検出する第3の回路と、

該第3の回路の出力に応じて、前記入力信号が該未定義信号でない場合に該入力信号を格納し、前記入力信号が該未定義信号である場合に既に格納されている内容を保持するレジスタと、

該レジスタの内容をデコードして、前記N個の動作モードのうちの一つを選択する第4の回路

を含むことを特徴とする請求項5記載の半導体記憶装置。

【請求項9】半導体装置に於て複数の動作モードのうちの一つを入力信号により選択する方法であって、

該入力信号が該複数の動作モードの一つを示す場合に該一つを選択し、

該入力信号が該複数の動作モード以外を示す未定義入力信号である場合に該複数の動作モードのうちの所定の一つを選択する
各段階を含むことを特徴とする方法。

【請求項10】 半導体装置に於てN個の動作モードのうちの一つを入力信号により選択する方法であって、

該入力信号をデコードして該N個の動作モードのうちのN-1個の動作モードから一つを選択し、

該N-1個の動作モードの何れもが選択されないときに、該N個の動作モードのうちの残りの1個の動作モードを選択する
各段階を含むことを特徴とする方法。

【請求項11】 半導体装置に於て複数の動作モードのうちの一つを入力信号により選択する方法であって、

該入力信号が該複数の動作モード以外を示す未定義入力信号であるか否かを検出し、

前記入力信号が該未定義信号でない場合に該入力信号をレジスタに格納し、

前記入力信号が該未定義信号である場合にレジスタに既に格納されている内容を保持し、

該レジスタの内容をデコードして該複数の動作モードのうちの一つを選択する
各段階を含むことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、詳しくは外部入力により動作モードを設定できる半導体装置に関する。

【0002】

【従来の技術】

半導体装置の多くは、その動作モードを設定する機能が設けられている。そのような半導体装置に於て、動作モードを設定するためのパラメータは、特定のレジスタ（以下モードレジスタと呼ぶ）に格納されるのが一般的である。

【0003】

例えば従来のSDRAMに於ては、SDRAMの動作モードを規定するパラメータとして、CASレイテンシ、バーストレンジ、バーストタイプ等を外部から設定できる。これらのパラメータを設定する場合、SDRAMのコマンド入力からモード設定動作を指示し、アドレス入力からパラメータを入力してSDRAM内のモードレジスタにパラメータを書き込む。

【0004】

図7は、従来の16MSDRAMに於けるモードレジスタセットを説明するための図である。図7(A)は、SDRAMに供給されるクロック信号、図7(B)はコマンド入力、図7(C)はアドレス入力を示す。図7(B)及び(C)に示されるように、コマンド入力にモードレジスタセットコマンドMRSを入力し、アドレス入力にモードレジスタに設定するデータを入力する。データ入力後、コマンド入力にアクティベートコマンドACTを入力して、新規設定されたモードを有効にする。

【0005】

図7(D)には、モードレジスタに設定されるデータとアドレス入力との関係を示す。図7(D)に示されるように、アドレス入力A0からA2の3ビットはバーストレンジを設定し、アドレス入力A3はバーストタイプを設定し、アドレス入力A4からA6の3ビットはCASレイテンシを設定する。なおA7乃至A11のビットは現時点では用いられない。

【0006】

例えばCASレイテンシとは、データ読み出しコマンド入力に対して、データ読み出し動作の開始がどれくらい遅れるかを設定するパラメータである。このCASレイテンシを設定するためには、上述のようにアドレス入力A4からA6の3ビットを用いる。従って8通りの異なった設定が可能であるが、現在定義されている設定は3通り或いは4通りであり、3つのビットA4乃至A6のビットパターンの中には使用されないパターンが存在する。

【0007】

図8は、従来のレイテンシデコーダの回路構成を示す。このレイテンシデコー

ダはモードレジスタ内に含まれるものであり、アドレス入力ビットを保持するモードレジスタ内のラッチから対応する3ビットを受け取りデコードするものである。

【0008】

図8のレイテンシデコーダ200は、インバータ201乃至203、NAND回路204乃至207、インバータ208乃至211を含む。インバータ201乃至203は、アドレス入力ビットA4乃至A6をラッチが保持したデータMRA4乃至MRA6を受け取る。NAND回路204乃至207は、データMRA4乃至MRA6の各ビットに関して、そのままのビットか或いは反転したビットの何れかを受け取る。インバータ208乃至211は各々、NAND回路204乃至207の出力を受け取り反転する。

【0009】

インバータ208乃至211の出力は各々、デコード信号CL1乃至CL4であり、その横に示されるアドレス入力ビットA4乃至A6の各ビットパターンに対応する。即ち例えば、インバータ208のデコード信号CL1は、A4乃至A6が「100」であるときにHIGH（選択）になる信号である。図8の例においては、レイテンシデコーダ200の出力はデコード信号CL1乃至CL4の4つであり、アドレス入力A4乃至A6が図に示されるビットパターン以外の組み合わせであるときは、全てのデコード信号CL1乃至CL4はLOW（非選択）になる。

【0010】

このように未定義のビットパターンを入力した場合に全ての出力が非選択になってしまうのは、レイテンシデコーダ200に限られた動作ではなく、モードレジスタに含まれるバーストレンジスデコーダやバーストタイプデコーダ等の他のデコーダにおいても同様である。

【0011】

【発明が解決しようとする課題】

CASレイテンシ、バーストレンジス、バーストタイプ等をモードレジスタに設定する場合、上述のように現状では使用しないビットパターンを入力すると、

デコーダ出力即ちモードレジスタからの出力が全て非選択になる。従来のSDRAM等の半導体装置に於ては、このように未定義の設定を行った場合には、カタログに記載されていない予期できない動作をチップが行う可能性がある。その結果として、例えばメモリに於ては、メモリセルのデータを破壊してしまう等の危険性があつた。

【0012】

本発明は、半導体装置に於て動作モードを設定するモードレジスタに未定義の入力が行われた場合であっても、装置が通常動作を行えるように構成することを目的とする。

【0013】

【課題を解決するための手段】

請求項1の発明に於ては、N個の動作モードのうちの一つを入力信号により選択して、選択された動作モードで動作する半導体装置は、該入力信号が該N個の動作モードの一つを示す場合に該一つを選択し、該入力信号が該N個の動作モード以外を示す未定義入力信号である場合に該N個の動作モードのうちの所定の一つを選択する選択回路と、該選択回路が選択した動作モードに応じて動作する内部回路を含むことを特徴とする。

【0014】

上記発明に於ては、未定義入力が行われた場合には、定義されているN個の動作モードのうちの所定の一つを選択するので、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

請求項2の発明に於ては、請求項1記載の半導体装置に於て、前記選択回路は、前記入力信号をデコードして前記N個の動作モードのうちのN-1個の動作モードから一つを選択する第1の回路と、該第1の回路の出力の論理演算に基づいて、該N-1個の動作モードの何れもが選択されないときに、該N個の動作モードのうちの残りの1個の動作モードを選択する第2の回路を含むことを特徴とする。

【0015】

上記発明に於ては、N-1個の動作モードを選択する第1の回路を設け、第1

の回路が $N-1$ 個の動作モードの何れも選択しないときには、残りの動作モードを選択するように構成される。従って、未定義入力が行われた場合には、この残りの動作モードが選択されることになり、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

【0016】

請求項3の発明に於ては、請求項1記載の半導体装置に於て、前記選択回路は前記第1の回路と前記第2の回路との間を接続する $N-1$ 本の配線を更に含み、該第2の回路を前記内部回路の近傍或いは内部に配置することを特徴とする。

上記発明に於ては、第1の回路の出力に基づいて残りの動作モードを選択する第2の回路を、内部回路の近傍或いは内部に配置することによって、選択された動作モードを第1の回路から内部回路に送信する信号配線を、 N 本から $N-1$ 本に削減することが出来る。

【0017】

請求項4の発明に於ては、請求項1記載の半導体装置に於て、前記選択回路は、前記未定義入力信号を検出する第3の回路と、該第3の回路の出力に応じて、前記入力信号が該未定義信号でない場合に該入力信号を格納し、前記入力信号が該未定義信号である場合に既に格納されている内容を保持する第4の回路と、該第4の回路の内容をデコードして、前記 N 個の動作モードのうちの一つを選択する第5の回路を含むことを特徴とする。

【0018】

上記発明に於ては、未定義入力になされた場合には、入力信号を格納する第4の回路の内容を更新せずに以前の値を保持することによって、未定義データの設定により半導体装置が予期できない動作を行うことを避けることが出来る。

請求項5の発明に於ては、 N 個の動作モードのうちの一つを入力信号により選択して、選択された動作モードで動作する半導体記憶装置は、該入力信号が該 N 個の動作モードの一つを示す場合に該一つを選択し、該入力信号が該 N 個の動作モード以外を示す未定義入力信号である場合に該 N 個の動作モードのうちの所定の一つを選択するモードレジスタと、データを記憶するコア回路と、該選択回路が選択した動作モードに応じて動作する該コア回路に関する制御回路を含むこと

を特徴とする。

【0019】

上記発明に於ては、未定義入力が行われた場合には、定義されているN個の動作モードのうちの所定の一つを選択するので、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【0020】

請求項6の発明に於ては、請求項5記載の半導体記憶装置に於て、前記モードレジスタは、前記入力信号をデコードして前記N個の動作モードのうちのN-1個の動作モードから一つを選択する第1の回路と、該第1の回路の出力の論理演算に基づいて、該N-1個の動作モードの何れもが選択されないときに、該N個の動作モードのうちの残りの1個の動作モードを選択する第2の回路を含むことを特徴とする。

【0021】

上記発明に於ては、N-1個の動作モードを選択する第1の回路を設け、第1の回路がN-1個の動作モードの何れも選択しないときには、残りの動作モードを選択するように構成される。従って、未定義入力が行われた場合には、この残りの動作モードが選択されることになり、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【0022】

請求項7の発明に於ては、請求項6記載の半導体記憶装置に於て、前記モードレジスタは前記第1の回路と前記第2の回路との間を接続するN-1本の配線を更に含み、該第2の回路を前記制御回路の近傍或いは内部に配置することを特徴とする。

【0023】

上記発明に於ては、第1の回路の出力に基づいて残りの動作モードを選択する第2の回路を、内部回路の近傍或いは内部に配置することによって、選択された動作モードを第1の回路から内部回路に送信する信号配線を、N本からN-1本

に削減することが出来る。

【0024】

請求項8の発明に於ては、請求項5記載の半導体記憶装置に於て、前記モードレジスタは、前記未定義入力信号を検出する第3の回路と、該第3の回路の出力に応じて、前記入力信号が該未定義信号でない場合に該入力信号を格納し、前記入力信号が該未定義信号である場合に既に格納されている内容を保持するレジスタと、該レジスタの内容をデコードして、前記N個の動作モードのうちの一つを選択する第4の回路を含むことを特徴とする。

【0025】

上記発明に於ては、未定義入力が行なわれた場合には、入力信号を格納する第4の回路の内容を更新せずに以前の値を保持することによって、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【0026】

請求項9の発明に於ては、半導体装置に於て複数の動作モードのうちの一つを入力信号により選択する方法は、該入力信号が該複数の動作モードの一つを示す場合に該一つを選択し、該入力信号が該複数の動作モード以外を示す未定義入力信号である場合に該複数の動作モードのうちの所定の一つを選択する各段階を含むことを特徴とする。

【0027】

上記発明に於ては、未定義入力が行われた場合には、定義されているN個の動作モードのうちの所定の一つを選択するので、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

請求項10の発明に於ては、半導体装置に於てN個の動作モードのうちの一つを入力信号により選択する方法は、該入力信号をデコードして該N個の動作モードのうちのN-1個の動作モードから一つを選択し、該N-1個の動作モードの何れもが選択されないときに、該N個の動作モードのうちの残りの1個の動作モードを選択する各段階を含むことを特徴とする。

【0028】

上記発明に於ては、 $N-1$ 個の動作モードのうちの一つをデコードして選択し、 $N-1$ 個の動作モードの何れもが選択されないときには、残りの動作モードを選択する。従って、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

【0029】

請求項 11 の発明に於ては、半導体装置に於て複数の動作モードのうちの一つを入力信号により選択する方法は、該入力信号が該複数の動作モード以外を示す未定義入力信号であるか否かを検出し、前記入力信号が該未定義信号でない場合に該入力信号をレジスタに格納し、前記入力信号が該未定義信号である場合にレジスタに既に格納されている内容を保持し、該レジスタの内容をデコードして該複数の動作モードのうちの一つを選択する各段階を含むことを特徴とする。

【0030】

上記発明に於ては、未定義入力になされた場合には、入力信号を格納するレジスタの内容を更新せずに以前の値を保持することによって、未定義データの設定により半導体装置が予期できない動作を行うことを避けることが出来る。

【0031】

【発明の実施の形態】

以下に本発明の実施例を添付の図面を用いて説明する。

図 1 は、本発明の第 1 の実施例による SDRAM のレイテンシデコーダの回路構成図を示す。なお本発明は、レイテンシデコーダに限られるものではなく、半導体装置の動作モードを設定するモードレジスタに関して、設定データをデコードするデコーダ一般に適用できるものである。

【0032】

図 1 のレイテンシデコーダ 10 は、インバータ 11 乃至 13、NAND 回路 14 乃至 16、インバータ 17 乃至 19、及び NOR 回路 20 を含む。インバータ 11 乃至 13 は、アドレス入力ビット A4 乃至 A6 をモードレジスタのラッチが保持したデータ MRA4 乃至 MRA6 を受け取る。NAND 回路 14 乃至 16 は、データ MRA4 乃至 MRA6 の各ビットに関して、そのままのビットか或いは反転したビットの何れかを受け取る。インバータ 17 乃至 19 は各々、NAND

回路14乃至16の出力を受け取り反転する。

【0033】

NOR回路20は、インバータ17乃至19の出力を受け取り、インバータ17乃至19の出力が全てLOW（非選択）の場合のみHIGH（選択）信号を出力する。NOR回路20の出力がデコード信号CL1であり、インバータ17乃至19の出力は各々、デコード信号CL2乃至CL4である。各デコード信号CL1乃至CL4がHIGH（選択）になる条件が、図1の各出力の横にアドレス入力ビットA4乃至A6のビットパターンとして示される。

【0034】

図8の従来のレイテンシデコーダ10と比較して、図1の第1の実施例のレイテンシデコーダ10に於ては、デコード信号CL1が選択される条件が従来のものとは異なり、デコード信号CL2乃至CL3が選択されないときにHIGHとなる。即ち、従来同様にアドレス入力ビットA4乃至A6が「100」の場合に選択されると共に、未定義入力となされた場合にも、デコード信号CL1が選択されることになる。

【0035】

従って図1のような構成のデコーダを用いれば、未定義の設定がなされた場合であっても、その設定を既定義の出力のうちの一つに割り当てることによって、半導体装置の誤動作を防ぐことができる。

図2は、図1のレイテンシデコーダ10を用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す。従来技術例として図9に、図8のレイテンシデコーダ200を用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す。

【0036】

図9に示される配線に於ては、図8のレイテンシデコーダ200のデコード信号CL1乃至CL4をチップ220内部の他のユニットに供給するように、長距離配線221乃至224を介して伝送する構成となっている。それに対して図2に示される配線に於ては、図1のレイテンシデコーダ10のデコード信号CL2乃至CL4のみを、長距離配線31乃至33を介してチップ30内部で伝送する

構成となっている。これはレイテンシデコーダ10に於て、デコード信号CL1は、デコード信号CL2乃至CL4が非選択の時に選択となる信号であるので、長距離配線を介して各ユニットに配送する必要がないからである。

【0037】

レイテンシデコード信号を必要とする各ユニットに於ては、レイテンシデコーダ10から送られたデコード信号CL2乃至CL4を基にして、デコード信号CL1を生成すればよい。

図3は、デコード信号CL2乃至CL4を基にしてデコード信号CL1を生成する回路の一例を示す。図3のNOR回路35は、デコード信号CL2乃至CL4を受け取り、それら全てがLOW（非選択）の場合のみHIGH（撰択）信号を出力する。即ち、NOR回路35の出力は、デコード信号CL1となる。

【0038】

このような回路を、レイテンシデコード信号を必要とする各ユニットに設けることによって、デコード信号CL1を長距離配線を用いて伝送する必要がなくなる。長距離配線の方が、図3の様な単純な回路よりもチップ内のスペースを大きくとるので、図3の回路を各ユニットに設けて長距離配線を一本減らすことによって、チップ内スペースの効率的な使用を実現できる。

【0039】

なお図3のNOR回路35は、図1のNOR回路20をモードレジスタ内部から、デコード信号を必要とする各ユニットに移動させたものと考えることができる。即ち図2のような配線を用いた場合には、図1のNOR回路20は不要となるので削除し、その代わりに図3のNOR回路35を各ユニットに設ければよい。

【0040】

図4は、本発明の第2の実施例によるSDRAMのモードレジスタ及びその周辺を示す。図4に於て、102はコマンド信号入力端子、103はアドレス信号入力端子、110はモードレジスタコントロール部であり、111がモードレジスタである。モードレジスタ111は、ラッチ制御回路40、ラッチ230、バーストレンジスデコーダ240、図8と同一のレイテンシデコーダ200、バー

ストタイプデコーダ250を含む。図4の構成は、ラッチ制御回路40が設けられていることを除けば、従来のモードレジスタ及びその周辺と同一の構成である。

【0041】

コマンド信号入力端子102に入力されたコマンド信号（図7参照）は、モードレジスタコントロール部110に供給される。アドレス信号入力端子に入力されたアドレス信号（図7参照）は、モードレジスタコントロール部110及びモードレジスタ111に供給される。モードレジスタコントロール部110は、受け取ったコマンド信号がモードレジスタ設定を指定する時に、アドレス信号のタイミングに応じて、イネーブル信号rgwzを出力する。従来の構成に於ては、モードレジスタ111が受け取ったイネーブル信号rgwzは、直接にラッチ230に供給され、ラッチ230がアドレス信号をラッチする。

【0042】

第2の実施例に於ては、モードレジスタ111が受け取ったイネーブル信号rgwzは、まずラッチ制御回路40に供給される。ラッチ制御回路40は、イネーブル信号rgwz以外にアドレス信号を受け取り、このアドレス信号の内容に応じて、イネーブル信号rgwzをラッチ230に共有するか否かを決定する。具体的には、アドレス信号が未定義の設定に対応する場合には、イネーブル信号rgwzをラッチ230に供給しない。

【0043】

図5は、ラッチ制御回路40の回路構成を示す。図5のラッチ制御回路40は、インバータ41乃至43、NAND回路44乃至47、インバータ48乃至51、NOR回路52、インバータ53及び54、及びNOR回路55を含む。インバータ41乃至43は、アドレス信号のビットA4乃至A6を受け取る。NAND回路44乃至47は、アドレス入力ビットA4乃至A6の各ビットに関して、そのままのビットか或いは反転したビットの何れかを受け取る。インバータ48乃至51は各々、NAND回路44乃至47の出力を受け取り反転する。

【0044】

インバータ48乃至51の出力はデコード信号CLa乃至CLdであり、これ

らが選択されてHIGHとなる条件が、アドレス入力ビットA4乃至A6のビットパターンとして図5に示される。図8に示されるアドレス入力ビットA4乃至A6のビットパターンと比較すれば明らかなように、図5のデコード信号CLa乃至CLdのビットパターンは、未定義のビットパターンに対応する。即ち、図5のインバータ48乃至51は、未定義のビットパターン入力になされた場合に、そのいずれかの出力がHIGHになる。

【0045】

NOR回路52は、デコード信号CLa乃至CLdを受け取る。NOR回路52は、デコード信号CLa乃至CLdの何れかがHIGHの場合にLOW信号を出力し、デコード信号CLa乃至CLdの全てがLOWの場合にHIGH信号を出力する。インバータ53は、NOR回路52の出力を反転する。インバータ53の出力は、制御信号stopzとして示される。制御信号stopzは、デコード信号CLa乃至CLdの何れかがHIGHの場合、即ち未定義入力になされた場合にHIGHになる信号である。

【0046】

制御信号stopzは、2入力NOR回路55の一方の入力に供給される。NOR回路55のもう一方の入力には、インバータ54で反転されたイネーブル信号rgwzが供給される。

制御信号stopzがHIGHの場合には、NOR回路55の出力は常にLOWとなる。従って、イネーブル信号rgwzはNOR回路55によってブロックされる。制御信号stopzがLOWの場合には、NOR回路55は、イネーブル信号rgwzの反転に対してインバータとして動作する。従って、イネーブル信号rgwzの反転が更に反転され、NOR回路55は元のイネーブル信号rgwzを出力する。

【0047】

NOR回路55の出力は、ラッチ制御信号rgwszとしてラッチ230に供給される（図4参照）。このようにラッチ制御回路40は、未定義入力になされた場合にはイネーブル信号rgwzをブロックし、既定義入力になされた場合には、イネーブル信号rgwzをラッチ制御信号rgwszとして出力する。この

ラッチ制御信号 $rgwsz$ を受け取ると、ラッチ 230 は、アドレス入力 A0 乃至 A06 をラッチする。

【0048】

従って、図4及び図5に示される本発明の第2の実施例によるモードレジスタ 111 に於ては、CASレイテンシに対して未定義入力が行われた場合にその入力を設定しないので、未定義入力が行われた場合のSDRAMの誤動作を防ぐことができる。

【0049】

なお図4及び図5の構成では、バーストレンジスに対して未定義入力が行われた場合に、未定義入力そのままラッチ230によって保持され、更にバーストレンジスデコーダ240によりデコードされ出力されてしまう（バーストタイプは1ビットであり、未定義の設定はない）。従って、バーストレンジスに対しても同様の誤動作回避機能を設けたいのであれば、A0乃至A2に対しても未定義入力を検出するように、図5の回路を変更すればよい。

【0050】

本発明の第2の実施例は、未定義入力となされた場合に未定義入力を検出してモードレジスタへの書き込みを禁止するように構成されるが、この構成はSDRAMのモードレジスタに限られることなく、種々の半導体装置に適用可能であることは明らかである。

【0051】

図6は、本発明の第2の実施例のモードレジスタを適用したSDRAMの構成例を示す。図6のSDRAMは、クロック信号入力端子101、コマンド信号入力端子102、アドレス信号入力端子103、データ信号入出力端子104、内部クロック発生部105、コマンド入力バッファ106、アドレス入力バッファ107、データ出力バッファ108、データ入力バッファ109、モードレジスタコントロール部110、図4に示されるモードレジスタ111、コマンドデコード部112、アドレスデコード部113、パインライン114及び115、書き込みコントロール部116、書き込みアンプ117、センスアンプ118、読み出し・書き込み制御部119、読み出しアンプ120、及びメモリセルアレイ

121を含む。

【0052】

図6のSDRAMに於て、本発明によるモードレジスタ111を用いる以外は、従来のSDRAMと同一の構造である。

図6のSDRAMの動作を簡単に説明する。クロック信号入力端子101に供給されたクロック信号は、内部クロック発生部105に供給されて、内部回路を制御するための様々な内部クロック信号が生成される。内部クロック発生部105から供給される内部クロック信号に基づいて、コマンド入力バッファ106、アドレス入力バッファ107、及びデータ入力バッファ109は各々、コマンド信号入力端子102、アドレス信号入力端子103、データ信号入出力端子104に入力されたコマンド信号、アドレス信号、及びデータ信号を取り込む。

【0053】

入力されたコマンド信号は、コマンド入力バッファ106からコマンドデコード部112に供給されてデコードされる。コマンドのデコード結果に応じて、内部回路が制御される。コマンドとしてモードレジスタセットコマンドが与えられたときには、モードレジスタコントロール部110がモードレジスタセットコマンドに応じて、アドレス入力バッファ107から供給されたアドレス信号をモードレジスタ111に書き込む。

【0054】

入力されたアドレス信号は、アドレス入力バッファ107からアドレスデコード部113に供給されてデコードされる。アドレスのデコード結果に応じて、メモリセルアレイ121の指定されたアドレスがアクセスされる。

入力されたデータ信号は、データ入力バッファ109から、書き込みアンプ117とセンスアンプ118とを介して、メモリセルアレイ121の指定されたアドレスに格納される。逆にメモリセルアレイ121の指定されたアドレスから読み出されたデータは、センスアンプ118、読み出しアンプ120、パイプライン114及び115を介して、データ出力バッファ108に供給される。データ出力バッファ108は、内部クロック発生部105からの内部クロックに基づいて、データをデータ入出力端子104に出力する。

【0055】

書き込みコントロール部116は、コマンドデコード部112のコマンドデコード結果に応じて、制御信号を読み出し・書き込み制御部119に供給する。またコマンドデコード結果に基づいて、データ入力バッファ109を制御する。

読み出し・書き込み制御部119は、書き込み信号Write、読み出し信号Read、コラム線選択信号（図示せず）等の制御信号を生成する。例えばコラム線選択信号は、複数のセンスアンプを含むセンスアンプ118に供給されて、選択されたセンスアンプに対するデータ読み出し・データ書き込みを所定期間だけ可能にする。書き込み信号Writeは、書き込みアンプ117に供給されて、データ入力バッファ109からの入力データを所定のタイミングでグローバルデータバスGDB0及びGDB1に供給する。書き込み信号Readは、読み出しアンプ120に供給されて、グローバルデータバスGDB0及びGDB1上の読み出しデータを所定のタイミングでパイプライン115に供給する。

【0056】

モードレジスタ111は、前述のように、バーストレンジス、バーストタイプ、CASレイテンシ等の設定値を格納する。例えばCASレイテンシについて説明すると、モードレジスタ111は、設定されたCASレイテンシを示すCASレイテンシ判別信号（デコード信号）CL1乃至CL4を出力する（CASレイテンシ設定が4以上可能なときには、更にCL5・・・を出力する）。これらのCASレイテンシ判別信号CL1乃至CL4は、読み出し・書き込み制御部119に供給される。このCASレイテンシ判別信号CL1乃至CL4に基づいて、読み出し・書き込み制御部119はデータ読み出しのタイミングを制御する。

【0057】

モードレジスタ111に未定義のCASレイテンシを誤って設定しようとしても、図4及び図5を参照して説明されたように、未定義の入力はモードレジスタ内に設定されることがない。従って、図6のSDRAMに於て、CASレイテンシに未定義入力を与えたときでも、SDRAMの誤動作を避けることが出来る。勿論、CASレイテンシ以外に、バーストレンジス等のパラメータに対しても、誤動作回避のために未定義入力禁止機能を設けてもよいことは明らかである。

【0058】

なお図6のSDRAMに於て、モードレジスタ111として図4の構成のものを用いるのではなく、従来のモードレジスタに図1のレイテンシデコーダを用いた構成としてもよい。この場合、CASレイテンシに対して未定義入力となされると、例えばCASレイテンシ判別信号CL1が選択される。従って、SDRAMの誤動作を避けることが出来る。またこの場合、CASレイテンシ判別信号CL1乃至CL4のためのSDRAM内の配線を、図2のようにCASレイテンシ判別信号CL2乃至CL4だけに対して設け、図3のNOR回路を読み出し・書き込み制御部119等を含める構成としてもよい。

【0059】

本発明は実施例に基づいて説明されたが、上述の実施例に限定されることなく、特許請求の範囲内で様々な変形・修正が可能である。

【0060】

【発明の効果】

請求項1の発明に於ては、未定義入力が行われた場合には、定義されているN個の動作モードのうちの所定の一つを選択するので、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

【0061】

請求項2の発明に於ては、N-1個の動作モードを選択する第1の回路を設け、第1の回路がN-1個の動作モードの何れも選択しないときには、残りの動作モードを選択するように構成される。従って、未定義入力が行われた場合には、この残りの動作モードが選択されることになり、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

【0062】

請求項3の発明に於ては、第1の回路の出力に基づいて残りの動作モードを選択する第2の回路を、内部回路の近傍或いは内部に配置することによって、選択された動作モードを第1の回路から内部回路に送信する信号配線を、N本からN-1本に削減することが出来る。

【0063】

請求項4の発明に於ては、未定義入力となされた場合には、入力信号を格納する第4の回路の内容を更新せずに以前の値を保持することによって、未定義データの設定により半導体装置が予期できない動作を行うことを避けることが出来る。

【0064】

請求項5の発明に於ては、未定義入力が行われた場合には、定義されているN個の動作モードのうちの所定の一つを選択するので、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【0065】

請求項6の発明に於ては、N-1個の動作モードを選択する第1の回路を設け、第1の回路がN-1個の動作モードの何れも選択しないときには、残りの動作モードを選択するように構成される。従って、未定義入力が行われた場合には、この残りの動作モードが選択されることになり、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【0066】

請求項7の発明に於ては、第1の回路の出力に基づいて残りの動作モードを選択する第2の回路を、内部回路の近傍或いは内部に配置することによって、選択された動作モードを第1の回路から内部回路に送信する信号配線を、N本からN-1本に削減することが出来る。

【0067】

請求項8の発明に於ては、未定義入力となされた場合には、入力信号を格納する第4の回路の内容を更新せずに以前の値を保持することによって、未定義データの設定により半導体装置が予期できない動作をしてコア回路のデータを破壊してしまう等の損害を避けることが出来る。

【0068】

請求項9の発明に於ては、未定義入力が行われた場合には、定義されているN個の動作モードのうちの所定の一つを選択するので、未定義データの設定によっ

て半導体装置が予期できない動作を行うことを避けることが出来る。

請求項10の発明に於ては、N-1個の動作モードのうちの一つをデコードして選択し、N-1個の動作モードの何れもが選択されないときには、残りの動作モードを選択する。従って、未定義データの設定によって半導体装置が予期できない動作を行うことを避けることが出来る。

【0069】

請求項11の発明に於ては、未定義入力になされた場合には、入力信号を格納するレジスタの内容を更新せずに以前の値を保持することによって、未定義データの設定により半導体装置が予期できない動作を行うことを避けることが出来る。

【図面の簡単な説明】

【図1】

本発明の第1の実施例によるSDRAMのレイテンシデコードの回路構成図である。

【図2】

図1のレイテンシデコードを用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す図である。

【図3】

デコード信号CL2乃至CL4を基にしてデコード信号CL1を生成する回路の一例を示す図である。

【図4】

本発明の第2の実施例によるSDRAMのモードレジスタ及びその周辺の構成を示す図である。

【図5】

図4のラッチ制御回路の回路構成図である。

【図6】

本発明の第2の実施例のモードレジスタを適用したSDRAMの構成例を示す図である。

【図7】

(A) 乃至 (D) は、従来の S D R A M に於けるモードレジスタへのデータ設定を説明するための図である。

【図 8】

従来のレイテンシデコーダの回路構成図である。

【図 9】

図 8 のレイテンシデコーダを用いた場合の半導体チップ内のレイテンシデコード信号の配線を模式的に示す図である。

【符号の説明】

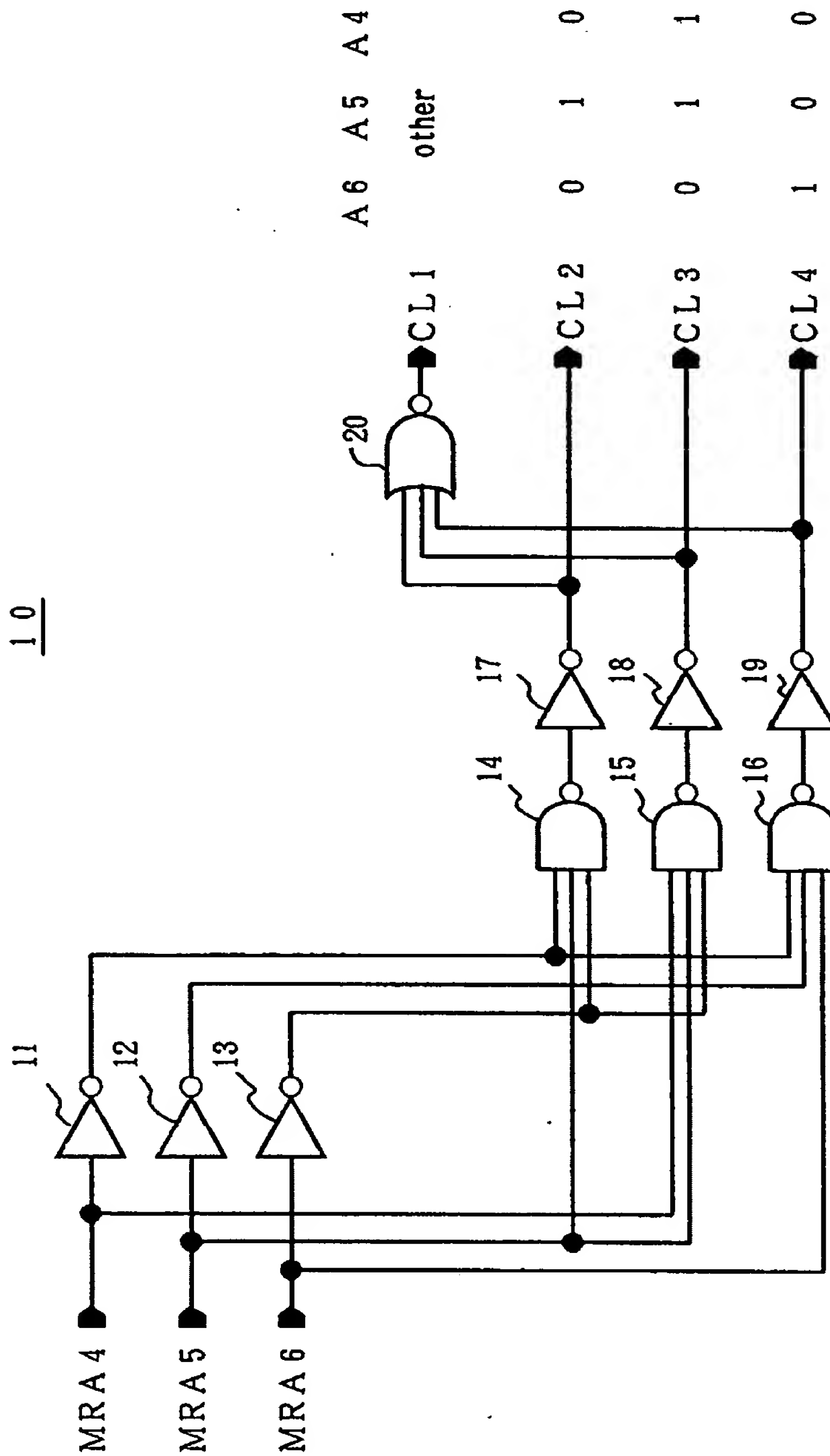
- 1 0 レイテンシデコーダ
- 3 0 チップ
- 3 1、3 2、3 3 長距離配線
- 4 0 ラッチ制御回路
- 1 0 1 クロック信号入力端子 1 0 1
- 1 0 2 コマンド信号入力端子
- 1 0 3 アドレス信号入力端子
- 1 0 4 データ信号入出力端子
- 1 0 5 内部クロック発生部
- 1 0 6 コマンド入力バッファ
- 1 0 7 アドレス入力バッファ
- 1 0 8 データ出力バッファ
- 1 0 9 データ入力バッファ
- 1 1 0 モードレジスタコントロール部
- 1 1 1 モードレジスタ
- 1 1 2 コマンドデコード部
- 1 1 3 アドレスデコード部
- 1 1 4、1 1 5 パインライン
- 1 1 6 書き込みコントロール部
- 1 1 7 書き込みアンプ
- 1 1 8 センスアンプ

- 1 1 9 ショート回路
- 1 2 0 読み出しアンプ
- 1 2 1 メモリセルアレイ
- 2 0 0 センスアンプ
- 2 0 5 読み出しアンプ
- 2 0 6 書き込みアンプ
- 2 0 0 レイテンシデコーダ
- 2 2 0 チップ
- 2 2 1、2 2 2、2 2 3、2 2 4 長距離配線
- 2 3 0 ラッチ
- 2 4 0 バーストレンジスデコーダ
- 2 5 0 バーストタイプデコーダ

【書類名】 図面

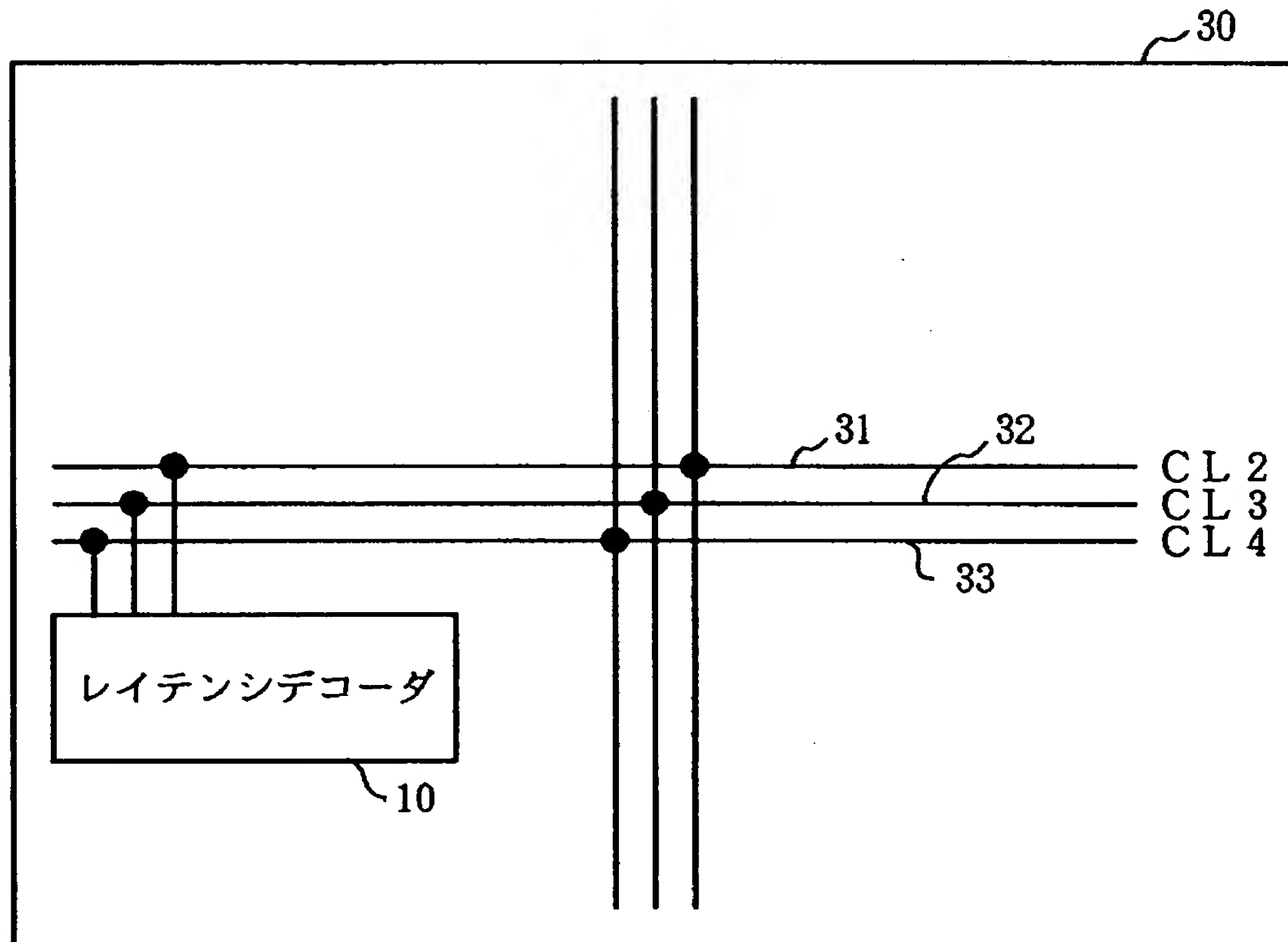
【図 1】

本発明の第 1 の実施例による SDRAM の
レイテンシデコーダの回路構成図



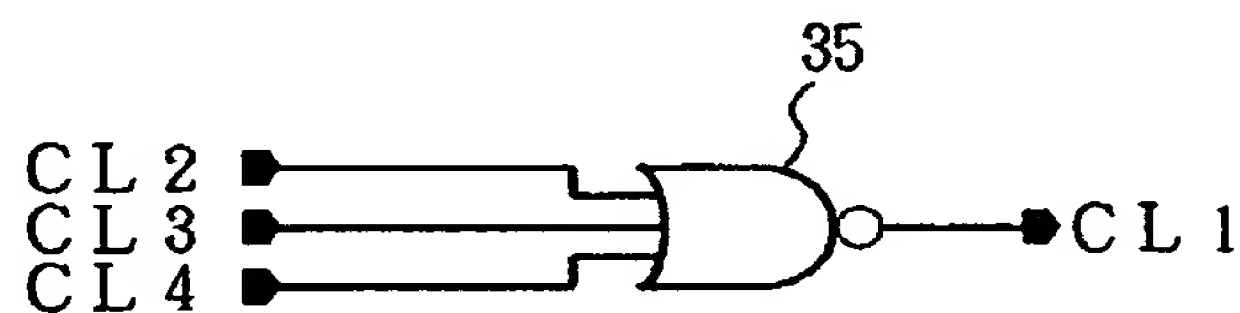
【図2】

図1のレイテンシデコーダを用いた場合の半導体チップ内の
レイテンシデコード信号の配線を模式的に示す図



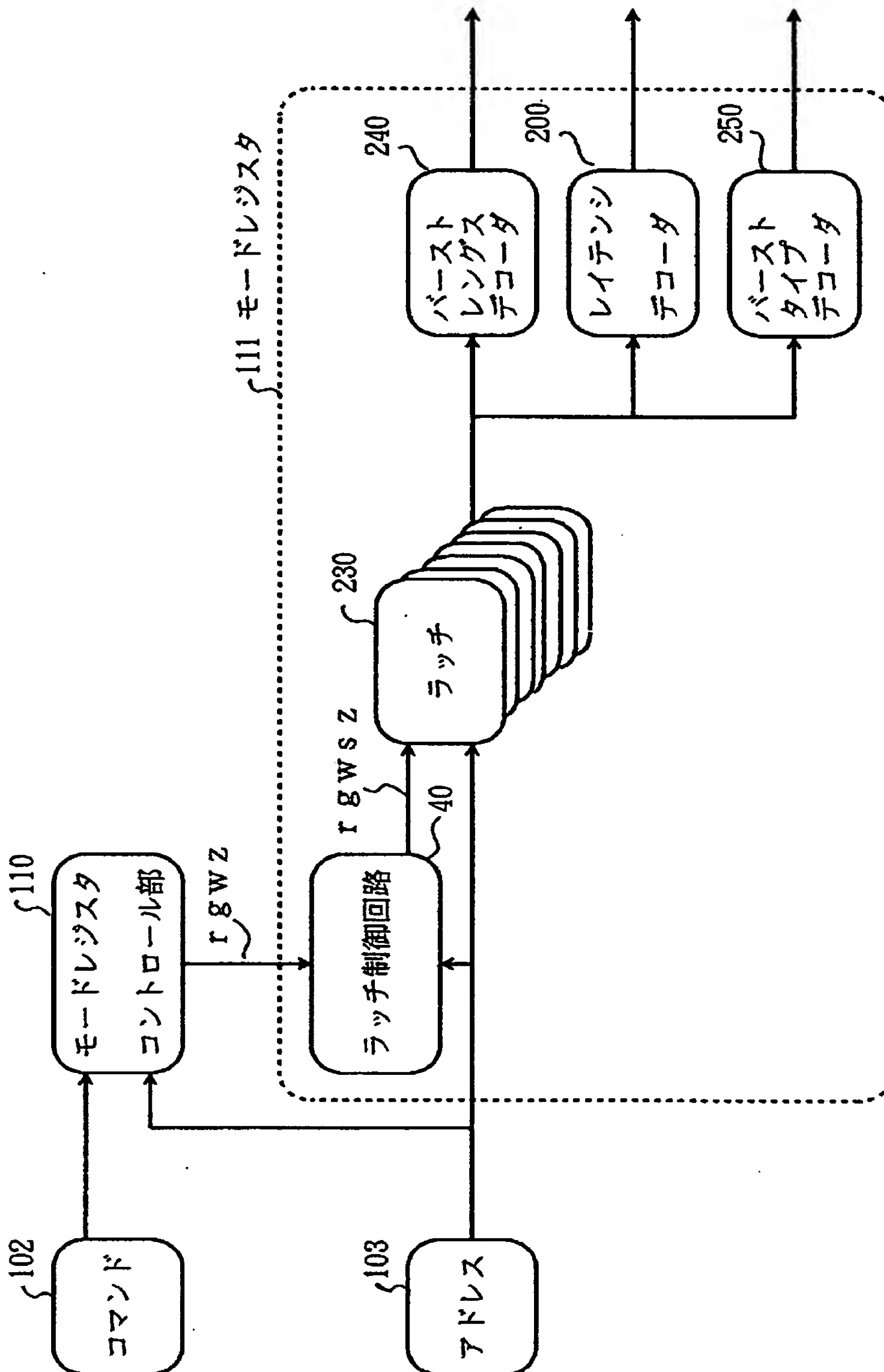
【図3】

デコード信号CL 2乃至CL 4を基にして
デコード信号CL 1を生成する回路の一例を示す図



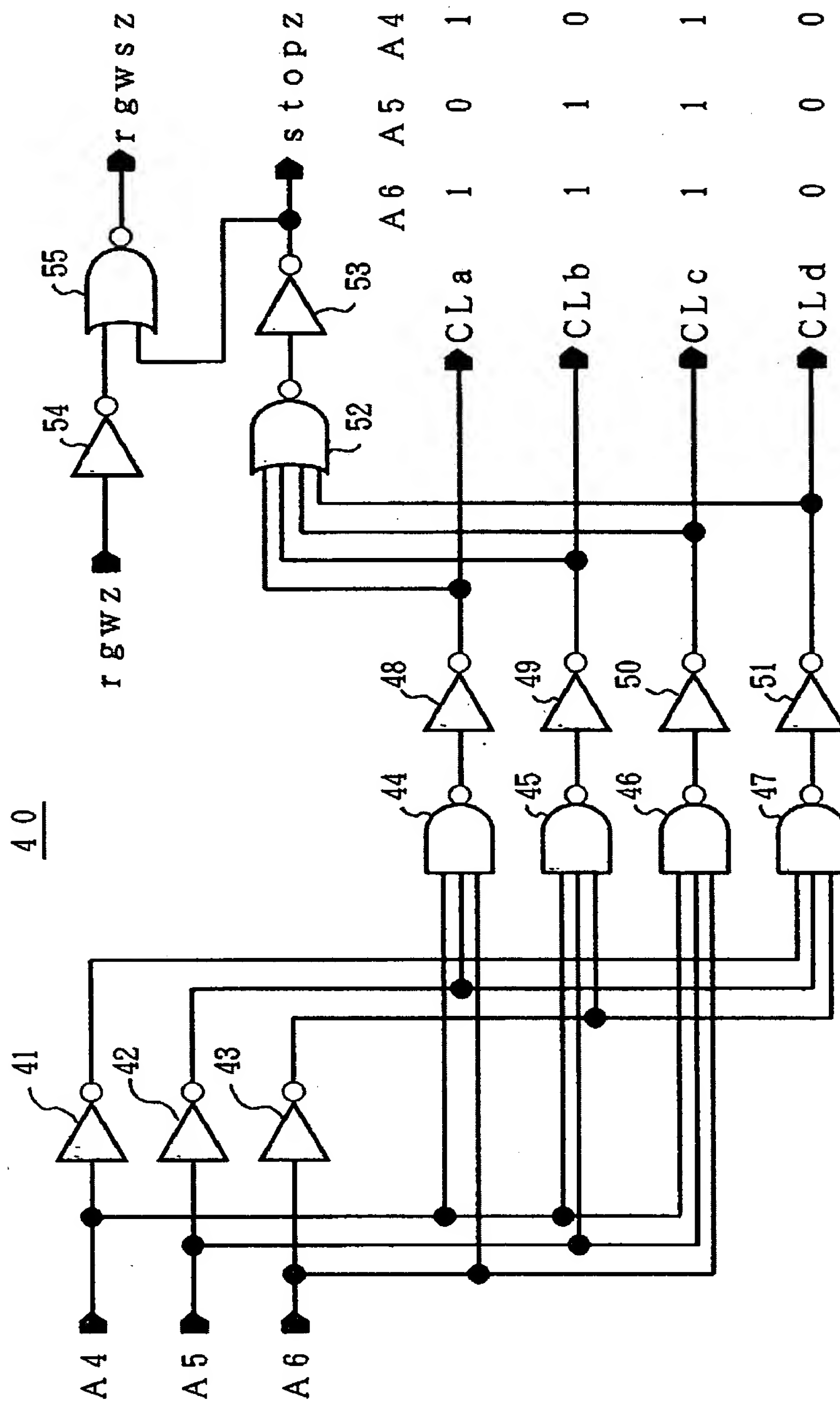
【図4】

本発明の第2の実施例によるSDRAMの
モードレジスタ及びその周辺の構成を示す図



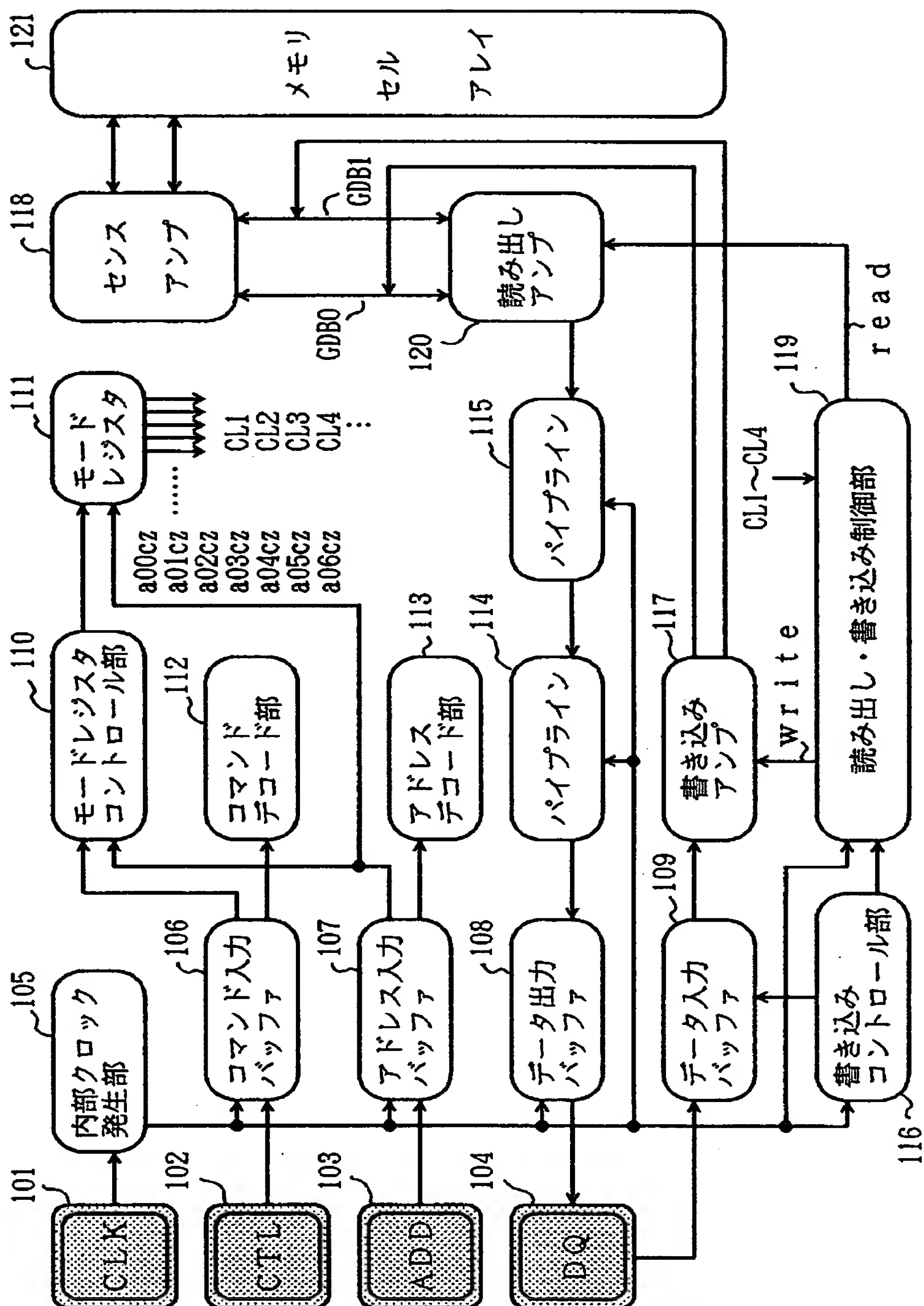
【図5】

図4のラッチ制御回路の回路構成図



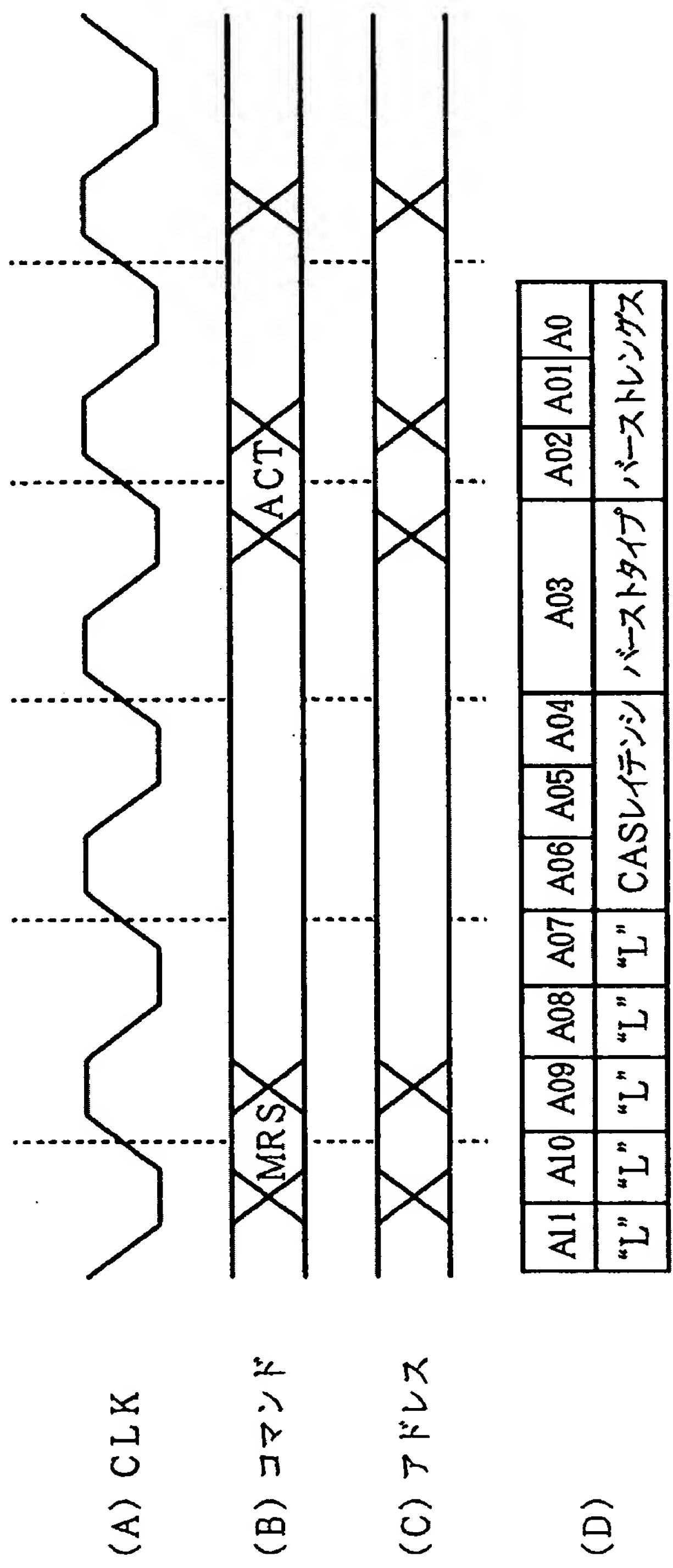
【図 6】

本発明の第2の実施例のモードレジスタを適用したSDRAMの構成例を示す図



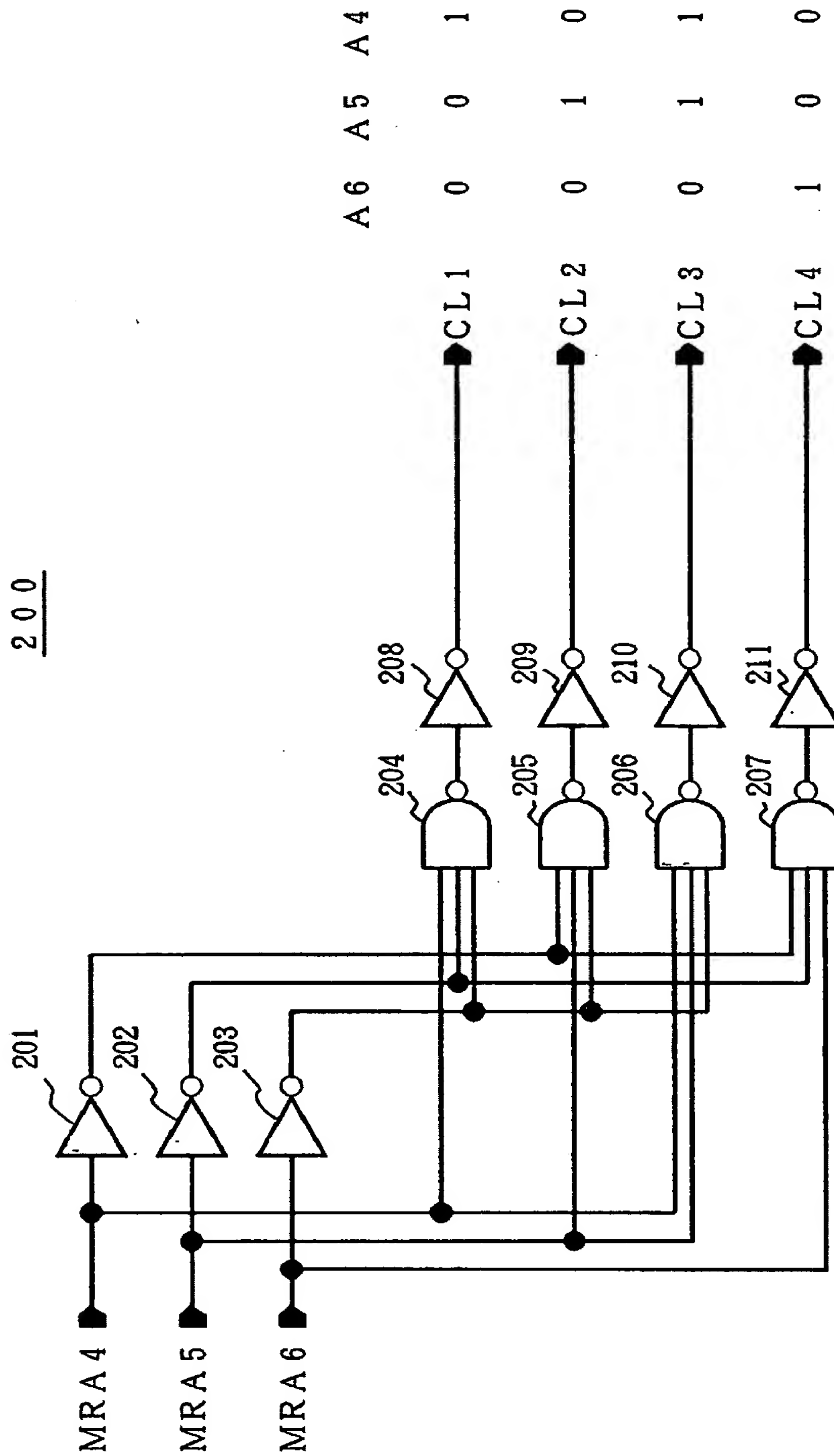
【図 7】

従来のSDRAMに於けるモードレジスタへの
データ設定を説明するための図



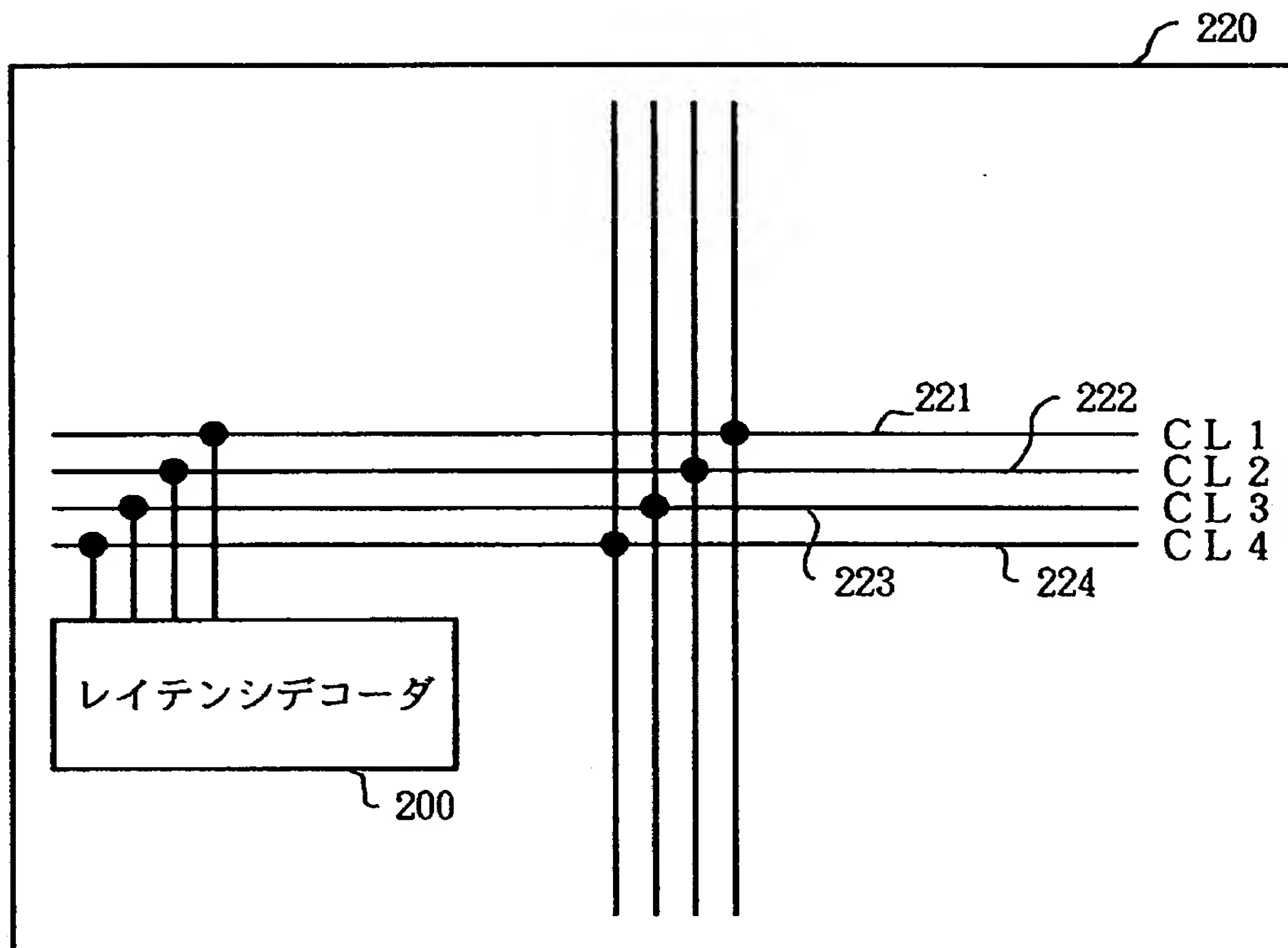
【図 8】

従来のレイテンシデコーダの回路構成図



【図9】

図8のレイテンシデコーダを用いた場合の半導体チップ内の
レイテンシデコード信号の配線を模式的に示す図



【書類名】 要約書

【要約】

【課題】 本発明は、半導体装置に於て動作モードを設定するモードレジスタに未定義の入力が行われた場合であっても、装置が通常動作を行えるように構成することを目的とする。

【解決手段】 N個の動作モードのうちの一つを入力信号により選択して、選択された動作モードで動作する半導体装置は、入力信号がN個の動作モードの一つを示す場合に一つを選択し、入力信号がN個の動作モード以外を示す未定義入力信号である場合にN個の動作モードのうちの所定の一つを選択する選択回路と、選択回路が選択した動作モードに応じて動作する内部回路を含むことを特徴とする。

【選択図】 図1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005223

【住所又は居所】

神奈川県川崎市中原区上小田中4丁目1番1号

【氏名又は名称】

富士通株式会社

【代理人】

申請人

【識別番号】

100070150

【住所又は居所】

東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【氏名又は名称】

伊東 忠彦

特平 8-334273

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社